

一种 8 位单片机中 ALU 的改进设计

袁波 李树荣 姚素英 赵毅强 张生才

(天津大学专用集成电路设计中心, 天津 300072)

摘要: 文章提出了一种精简指令集 8 位单片机中, 算术逻辑单元的工作原理。在此基础上, 对比传统 PIC 方案、以及在 ALU 内部再次采用流水线作业的 332 方案、44 方案, 并用 Synopsys 综合工具实现了它们。综合及仿真结果表明, 根据该单片机系统要求, 44 方案速度最高, 比 332 方案可提高 43.9%, 而面积仅比最小的 332 方案增加 1.6%。在分析性能差异的根本原因之后, 阐明了该方案的优越性。

关键词: 单片机, 精简指令集, 算术逻辑单元, 流水线

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2006)04-071-04

Design of ALU Based on an 8_Bit RISC Singlechip

YUAN Bo, LI Shu-rong, YAO Su-ying, ZHAO Yi-qiang, ZHANG Sheng-cai

(IC Design Center, Tianjin University, Tianjin 300072)

Abstract: Work principle for ALU in an 8_bit RISC Singlechip microcomputer is described. The traditional PIC scheme, 332 Pipeline scheme and 44 Pipeline scheme are compared on the base of the principle, which are implemented using Synopsys design tools. Results from synthesis and simulation shows that 44 scheme operates the fast, which is 43.9% faster and only 1.6% larger than 332 scheme. The essential reason why the performance is so different is analyzed. Then the advantage of 44 scheme is clarified.

Key words: Singlechip, Microcomputer, RISC, ALU, Pipeline

1 引言

目前, 在整个单片机市场中, 8 位机高居榜首, 而微芯公司 PIC 系列单片机在 8 位机中已居全球第一。PIC 单片机的不俗市场表现与其低功耗、高速度的优秀性能是分不开的, 究其原因, 最根本的两点是采用了精简指令集(RISC)技术, 和哈佛双总线流水作业结构。这两点也是自主研发与 PIC16 系列相兼容单片机的指导原则。

算术逻辑单元是单片机的核心模块之一, 其主要功能是进行算术、逻辑运算, 由于运算电路较为复杂, ALU 常常成为提高单片机性能时的瓶颈, 因此对 ALU 的设计必须充分重视, 精益求精。本文根据设计过程中的功能要求, 提出了一种 RISC 结构 8 位单片机中 ALU 的工作原理及电路结构, 对比了 3 种设计方案的差异, 即传统的 PIC 系列单片机 ALU 的设计方案, 和两种在 ALU 内部再次流水线作业的 332 方案、44 方案, 在采用 Synopsys 综合工具实现了这些方案之后, 阐明了 44 方案是适合功能要求

的较好的设计方案, 以及其它两种方案存在缺陷的根本原因。

2 系统定义

ALU 需要能够完成与 PIC16 系列单片机完全兼容的全部 35 条指令的相应操作, 具备一级 8 位堆栈电路, 以应付中断响应。ALU 除需接入数据总线 DB、指令总线 IRA[9:7](位选位)外, 还需指令译码器的运算使能信号、控制器的控制信号, 以及节拍信号。

3 工作原理与电路结构

ALU 的总体结构框图, 如图 1 所示。下面以 44 流水作业方案为例, 详细介绍 ALU 的工作原理, 及电路结构。

第一操作数 PP 来自 ALU 外部的数据总线 DB, 其硬件逻辑图, 如图 2 所示。当系统执行非控制类指令时, 运算使能信号 CLR_B 为高电平, 则在 S1 节拍, DB 低 4 位 DB[3:0]由 CLR_B 经过 4 个与门控

收稿日期: 2005-06-17

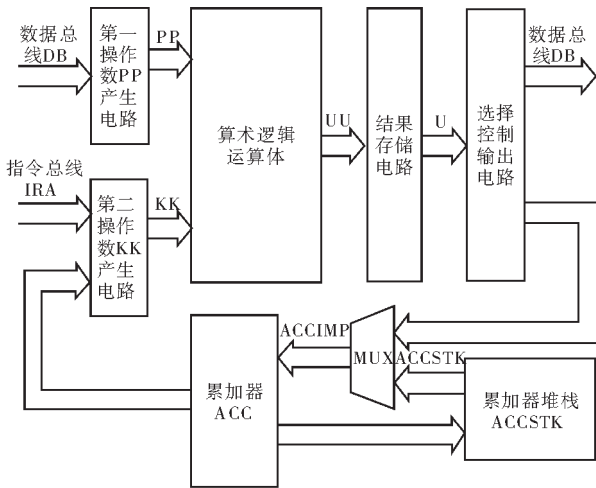


图1 ALU总线结构框图

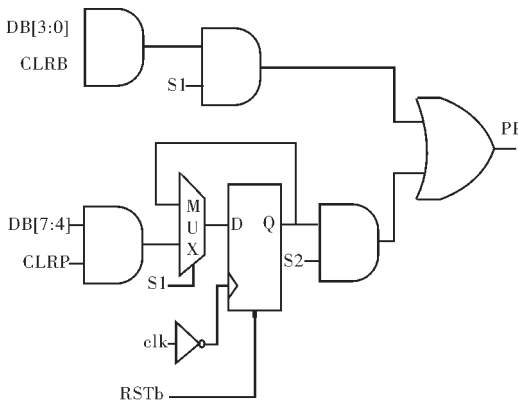


图2 PP产生电路硬件逻辑图

制, 送到算术逻辑运算体, 而 DB 高四位 DB[7:4] 存入 4 位寄存器 P74。在 S2 节拍, P74 输出端再分别与 CLRb 经过 4 个与门送到算术逻辑运算体。这样, PP 在 S1、S2 节拍分别为 DB 的低 4 位和高 4 位。

第二操作数 KK 来自 ALU 内部的累加器 ACC, 或指令总线 IRA 的 7~9 位 (即位选控制位), 其硬件逻辑图, 如图 3 所示。如果操作对象涉及 ACC, 则累加器参与运算使能信号 AtK 为高电平, 同时位操作

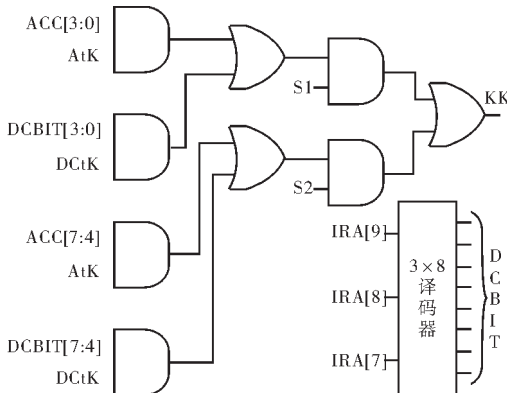


图3 KK产生电路硬件逻辑图

使能信号 DCtK 为低电平。而执行位操作类指令时, DCtK 为高电平, AtK 为低电平。IRA[9:7] 经 3~8 译码器变为 8 位独热信号 DCBIT。ACC、DCBIT 分别由 AtK、DCtK 经 8 个与门控制, 向前传递, 送入 8 位或门电路。由于 AtK、DCtK 不会同时为高电平, 因此或门输出值表征第二操作数, 不会混乱, 它们再由 S1、S2 选通。S1 选择低 4 位为第二操作数 KK, 送到算术逻辑运算体, S2 选择高 4 位。

算术逻辑运算体主要是复杂的组合电路, 硬件结构图, 如图 4 所示。第二操作数 KK 先被送到一组 4 位异或门, 判断是否需要取反操作。异或门的另一个输入为取反判断信号 INVK, 当 INVK 为 0 时 KK 不变; INVK 为 1 时, KK 即被取反。如果指令启动加法类运算, 则加使能信号 ENADD 为高, 运算体输出结果 UU 为 UADD。在 S1 节拍开始, PP、KK 以及加 1 信号 CIN, 被送到 4 位全加器, 输出结果 UADD 及进位输出信号 CA3。CA3 在 S1 节拍末存入寄存器 DECA4。DECA4 再与新的 PP、KK 在 S2 节拍送入全加器。UADD、CA3 在 S1 节拍代表结果低 4 位及辅助进位位, 在 S2 代表结果高 4 位, 及进位位。加法类运算包括加、减、加 1、减 1, 所用重要信号情况见表 1。

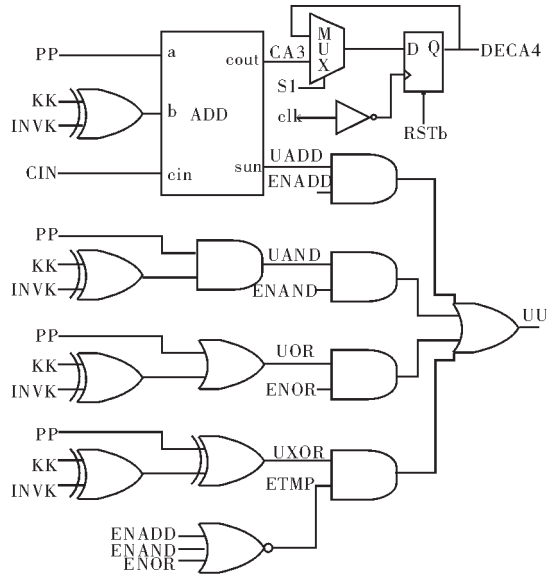


图4 运算体硬件逻辑图

表 1 加法类操作对应重要信号

| | INVK | CIN | AtK | KK |
|-----|------|-----|-----|------|
| 加 | 0 | 0 | 1 | 不变 |
| 减 | 1 | 1 | 1 | 取反 |
| 加 1 | 0 | 1 | 0 | 4 h0 |
| 减 1 | 1 | 0 | 0 | 4 hF |

加 1 由 CIN=1 完成。减法是通过取反加 1 完

成,即需要 KK 取反,且 CIN=1。减 1 操作时 AtK、DctK 均为低电平,且 INVK=1,则 KK=4'b1111,PP 与其相加即实现减 1。如果指令启动与、或运算,与使能信号 ENAND、或使能信号 ENOR 为高电平,UU 为相应的运算结果 UAND、UOR。其中位清 0 指令,需要将源自独热的 DCBIT 传来的 KK 取反,则 KK 在欲清 0 位为 0,其他各位都为 1,然后进行与操作,即实现位的清 0。位置 1 只需直接将 PP 与相应 KK 进行或操作即可。如果指令启动异或操作,ENADD、ENAND、ENOR 均为低电平,它们的或非信号 ETMP 为高电平,UU 选择异或运算结果 UXOR。除按位异或外,数据转移指令(MOVE)也是通过异或链完成的, KK=0, ETMP 为高电平,则 UU 为第一操作数 PP。对外部数据的取反也是在这里进行, KK 先变为 4'b1111, PP 再与其按位异或。

结果存储电路主要是 8 个寄存器 U[7:0]。在 S1 节拍存储低 4 位运算结果到 U[3:0], S2 节拍存储高 4 位运算结果到 U[7:4]。

选择控制输出电路是组合电路,控制结果输出。带进位左移、带进位右移、高低字节交换三条指令的操作,先按 MOVE 类指令将 PP 通过运算体送到结果存储电路,再根据各自的使能信号 RLF、RRF、SWAPF(三者只能有一个为高电平),在 S3 节拍输出正确的结果。如果 RLF、RRF、SWAPF 均为低电平,则它们的或非信号 ETMP 为高,输出其他指令的运算结果。运算结果最终可能要送到 RAM,但也可能要送到累加器 ACC 中,这要根据累加器输入使能信号 UtA 来决定。

UtA 为高电平时,累加寄存器 ACC 输入端的与门被打开。结果先 U 经过与门,在经过 2 选 1 MUX 送到 ACC。该 MUX 由中断返回信号 RETFIE 控制,在 RETFIE 为高电平时,选择另一输入:累加器堆栈 ACCSTK。堆栈电路在指令读取信号 MCO 为高电平,且中断信号 IEXE 为高电平时,在 S1 节拍将 ACC 值读入。ACC 的输出除送到堆栈外,还要送到第二操作数产生电路。

控制类指令在 ALU 中并没有新的实质性操作。CLRB、MCO 等信号变为低电平,从而在下一个机器周期,ALU 空跑或重复刚才的操作以保持输出数值不变即可。

4 方案对比

传统的 PIC 系列 RISC 微控制器的两级流水线是这样定义的:第一级,取指,第二级,在指令译码

器中编译出指令,在 ALU 中进行相应的运算,最后将运算结果写入数据存储器或累加寄存器 ACC,具体操作见表 2。

表 2 方案对比

| | S0 | S1 | S2 | S3 | 运算体 | PP 产生电路 | 结果存储电路 |
|-----------|----|-----------|------------|--------------|-------------|-----------------|--------|
| 传统 PIC 方案 | 取指 | 译码并读取数据 | 在 ALU 中运算 | 数据写回 RAM/ACC | 8 位,不带进位寄存器 | 8 位寄存器,1 次送完 PP | 8 位寄存器 |
| 332 方案 | 译码 | 处理低 3 位数据 | 处理中间 3 位数据 | 处理高两位并选择输出 | 3 位,带进位寄存器 | 5 位寄存器,3 次送完 PP | 6 位寄存器 |
| 44 方案 | 译码 | 处理低 4 位数据 | 处理高 4 位数据 | 选择输出 | 4 位,带进位寄存器 | 4 位寄存器,2 次送完 PP | 8 位寄存器 |

这款单片机的设计,在不改变两级流水线结构和一个机器周期 4 个节拍信号的前提下,采用了一种改进的 ALU 设计方法,即在 ALU 内部再次流水线作业。两种具体方案的情况,以及它们与传统 PIC 的对比,也列于表 2 之中。

5 设计结果及分析

上述 3 种方案都用 Verilog_HDL 进行过电路描述,并用 Synopsys 公司的 Design_Compiler 对源代码进行了综合,在综合过程中加了许多限制,结果列于表 3。

等效门输 = 面积 / 4,以一个与非门的面积为 4 单位面积作为基准算得的平均门数。

从表 3 可以看出传统 PIC 方案的运行速度较高,但所用门数过多。332 方案虽然速度不如传统 PIC 方案快,但门数大大减少。

如果用速度面积比来表征电路的优值,332 方案比传统 PIC 方案有所改善,提高了 12.4%。44 方案所用门数仅比 332 方案增加 1.6%,而运行速度却提高了 43.9%,而且高于传统 PIC 方案,其电路优值比 332 方案高出 41.6%。

运算体电路是 ALU 中耗费门数最多的部分,每增加一位,所用总门数都会有较大增加。传统 PIC 方案用 8 位运算体一次运算,并没有进行流水线作业,因此门数最多。332 方案运算体仅用 3 位,这是

表3 ALU 综合结果

| | 最高运行频率/MHz | 面积/单位面积 | 等效门数/Gate | 速度面积比(MHz/Gate) |
|-----------|------------|---------|-----------|-----------------|
| 传统 PIC 方案 | 118.2 | 3432 | 858 | 0.03444 |
| 332 方案 | 86.7 | 2242 | 560 | 0.03871 |
| 44 方案 | 124.8 | 2276 | 569 | 0.05483 |

注:最高执行速度是在假定 ALU 为单片机瓶颈时,以最高时钟频率除以每机器周期节拍数 4 算得。

其门数最少的根本原因。

电路的构成方式通常认为是寄存器间夹组合电路 function, 该组合链长度以及寄存器的建立保持时间将决定最高速度。运算体中加法类运算是串行进行的, 组合链最长, 那么似乎运算体位数越低, 速度应该越快。但实际上 332 方案尽管运算体位数最小, 速度表现却并不理想。这是由于该方案的 S3 节拍还要用 3 位运算体进行计算, 从而得到最终运算结果, 但是该结果必须在选择输出之前稳定建立。选择输出要在系统时钟跳变沿处进行, 而节拍信号本身比时钟信号有一定的延迟。而另外两种方案却都可以用整节拍的时间进行计算, 这是它们速度较高的根本原因。

44 方案虽然仅比 332 方案多用了一位运算体, 但由于运算次数减少一次, 选通电路的开销就有所下降, 最终总门数并没有明显增加。

6 结束语

鉴于单片机在诸多自动控制领域的重要作用,

设计一款具有自主知识产权的 8 位单片机将具有重要意义。采用 332 方案 ALU 的单片机全系统已经经过了流片, 并测试成功, 而且在一种智能流量计中得到了应用。但流片测试报告显示, 该单片机在速度方面还不尽如人意。这可能使其在某些对实时控制(就是快速反应)要求较高的应用场合, 工作起来比较困难。44 方案比 332 方案在门数上的增加很小。而其在速度方面的优势, 将大大改善其工作能力, 电路优值比 332 方案提高 41.6%, 比传统 PIC 方案提高 59.2%。需要说明的是, 为配合教学流片, 采用的是相应的 0.6um 工艺库, 如采用先进的工艺, 响应速度可比 124.8M 提高数倍。从速度面积两方面综合考虑, 44 方案是较好的设计方案。

参考文献

- [1] 李学海. PIC 单片机原理. 北京航空航天大学出版社, 2004
- [2] Ulrich Gotze[德]. 大型 RISC 处理器设计——用描述语言 Verilog 设计 VLSI 芯片. 北京航空航天大学出版社, 2004
- [3] 吴敬. 一种 RISC 结构 8 位微控制器的设计与实现. 微处理机, 2004, (2)
- [4] Wayne Wolf. Modern VLSI Design: System-on-Chip Design. 科学出版社, 2003
- [5] Himanshu Bhatnagar. Advanced ASIC Chip Synthesis. Kluner Academic Publishers, 2002
- [6] Michael D Ciletti. Advanced Digital Design with the Verilog HDL. 电子工业出版社, 2004
- [7] Henriksen K S, Gallagher J P. Analysis and Specialization of a PIC Prosser. IEEE Internation Conference on, Oct. 2004, 2(5): 1131~1135

袁波男, (1979-), 硕士研究生。研究方向为单片机硬件系统设计、VLSI 设计及应用。